



V Encontro de Iniciação Científica e Tecnológica  
V EnICT  
ISSN: 2526-6772  
IFSP – Câmpus Araraquara  
22 e 23 de outubro de 2020



## Levantamento e análise de modelos de conversores analógico-digitais de alta velocidade

GABRIELA ROSSINI<sup>1</sup>, JOÃO ROBERTO BROGGIO<sup>2</sup>

<sup>1</sup> Graduanda em Engenharia Elétrica, IFSP Câmpus Votuporanga, gabriela.rossini@aluno.ifsp.edu.br

<sup>2</sup> Graduação em Engenharia Industrial Elétrica pela Sociedade Universitária de Santos, mestre em Bioengenharia pela Universidade Brasil, professor no curso de Engenharia Elétrica, IFSP Câmpus Votuporanga, jrbbroggio@ifsp.edu.br

Área de conhecimento (Tabela CNPq): Circuitos eletrônicos– 3.04.03.03-0

**RESUMO:** Os conversores analógico-digitais de alta velocidade são dispositivos essenciais para o campo de processamento de sinais e comunicação, sendo empregados em diversos equipamentos como osciloscópios, radares e satélites. Para que os sistemas obtenham o melhor desempenho, é inevitável que os conversores apresentem uma alta taxa de amostragem, resolução e número efetivo de bits (ENOB), além de um baixo consumo de energia. Três modelos experimentais foram comparados, o ADC Flash de 8 bits obteve bom número efetivo de bits e uma resolução de 7 bits. O modelo RNS Flash ADC de 8 bits atinge alta linearidade com baixo ruído e distorção do sinal, enquanto o ADC Flash de 8 bits apresenta erros mais altos em taxas de amostragem baixas. O conversor comercial ADC08DJ3200 produzido pela Texas Instruments (TI) apresentou a melhor performance entre os modelos estudados, alcançando um elevado número efetivo de bits com taxa de amostragem alta. Portanto, este estudo tem como objetivo analisar e comparar alguns dos modelos de conversores mais eficazes da literatura atual.

**PALAVRAS-CHAVE:** alta velocidade; analógico-digital; conversores; revisão; tecnologia cmos.

## INTRODUÇÃO

Com o avanço da tecnologia, surgiu a necessidade de interpretar as variáveis físicas, como a temperatura e pressão, e esta necessidade inspirou a elaboração de tecnologias capazes de realizar a conversão de sinais analógicos para digitais. Os dispositivos que realizam essa conversão são conhecidos como conversores analógico-digitais (ADCs), onde a maior parte dos trabalhos sobre conversores visam aumentar a precisão e diminuir o tempo de conversão, garantindo maior eficiência. Porém, encontram algumas limitações, por exemplo, o aumento de complexidade do circuito (AZAIS, 2001, p. 590-595).

Devido a isso, o estudo de novos modelos de conversores é uma vertente promissora na área de processamento de sinais. A possibilidade de tornar a conversão de dados cada vez mais eficiente é de muito interesse pois trará avanço para diversas áreas, e.g. na área de telecomunicação (FLORES, 2003, p. 590-595).

O objetivo deste levantamento bibliográfico é estudar os artigos e publicações recentes que propõe modelos de conversores de alta velocidade. Além de apontar as vantagens e desvantagens de cada arquitetura através da análise dos parâmetros que definem o desempenho de cada modelo.

## FUNDAMENTAÇÃO TEÓRICA

Com o avanço da tecnologia, as arquiteturas de ADCs conhecidas passaram a não ser o suficiente devido sua baixa precisão e baixa velocidade de conversão. Os ADCs de alta velocidade e resolução média começaram a ser exigidos para diversas aplicações, e.g. transceptores de link serial de alta velocidade e comunicação sem fio (OKUNO et al., 2017, p. 24-25).

O Flash ADCs são os melhores modelos atualmente, pois demonstram vantagens na velocidade e menor taxa de erro por bit (BER). As desvantagens desse modelo são o alto consumo de energia e área, além da resolução limitada a 6-7 bits devido ao grande número de comparadores utilizados para realizar a conversão (BUDANOV, D.; KOROTKOV, A., 2019, p. 012072).

Novas abordagens de Flash ADCs vêm apresentando baixa perda na resolução e alto número efetivo de bits e sua arquitetura é baseada em três comparadores e um elemento principal para determinar cada bit do código. Outros recursos, como circuitos para aumentar a taxa de conversão e diminuir o tempo de conversão, são utilizados para implementar esses conversores mais simples (BUDANOV, 2018, p. 56-59).

Para contornar as desvantagens citadas anteriormente, é possível incrementar técnicas para otimizar o conversor. O modelo com arquitetura RNS no domínio do tempo (TD) e com um conversor de voltagem para tempo (VTC) construído em CMOS, permite reduzir o consumo de energia e área do conversor, além de aumentar a taxa de amostragem sem reduzir o número efetivos de bits (ENOB) (ZHU et al., 2017, p. 1172-1183).

O ADC pipelined é outro modelo muito utilizado em aplicações, como sistemas de comunicações e exames médicos por imagem, devido sua alta resolução e baixo custo de produção (TOCCI, 2011). Atualmente os ADCs pipelined melhoram significativamente parâmetros como velocidade, consumo de energia, taxa de ruído e distorção. Sua arquitetura contém diversos estágios compostos por um circuito de amostragem e retenção (S-H circuit), ADC, DCA, amplificadores e subtratores (MURSHED et al., 2018, p. 1253-1258).

O *Folding and Interpolation* ADC é um dos modelos mais utilizados pela empresa de semicondutores Texas Instruments, pois consegue otimizar a área disponível, o consumo de energia e o desempenho dos componentes. Sua arquitetura é composta por resistores e MOSFETs, o que permite reduzir os comparadores no circuito. A conversão é dividida em dois estágios, o primeiro estágio é relativamente grosseiro, enquanto o segundo estágio é relativamente fino. Ambas as conversões são realizadas em baixa resolução para garantir resultados de alta resolução (HIREMATH, V.; REN, S., 2011, p. 1-6).

Vale ressaltar que a tecnologia CMOS permite que o conversor tenha um menor consumo de energia. Sua arquitetura básica é composta por transistores e quanto menor a distância entre esses transistores menor é o espaço físico que a corrente elétrica percorre, e, portanto, a velocidade de operação aumenta enquanto o consumo de energia diminui (ZIESEMER JUNIOR, 2014).

A performance de cada ADC varia de acordo com a arquitetura e tecnologia empregada. Analisando os valores que os parâmetros assumem é possível definir qual modelo de conversor obteve melhor desempenho. A taxa de amostragem (GS/s) garante que o sinal convertido seja o mais próximo ao original, pois quanto maior o número de amostras por segundo mais informações o circuito tem para recriar o sinal (TOCCI, 2011).

A resolução define o número máximo de bits que o dispositivo consegue converter e para obter maior precisão, o tamanho dos degraus deve ser o menor possível para conseguir uma boa representação do sinal original (TOCCI, 2011).

Ainda assim, não são todos os bits disponíveis para conversão que são utilizados, isso se deve aos erros de DNL e INL. O erro de não linearidade diferencial é a diferença entre a largura de 1 LSB de um degrau ideal para o degrau real obtido na conversão e o erro de não linearidade integral é o desvio que o degrau tem em relação a uma reta de referência. Esses erros podem afetar os canais do conversor e ocasionar ruídos e distorções, conhecidos como SNDR (MONTEIRO, 1983).

Ao estudar conversores de diferentes arquiteturas com tecnologia CMOS de diferentes distancias, é possível perceber qual modelo obteve a melhor performance ao realizar a operação de conversão. Os resultados dessa comparação serão apresentados abaixo.

## **METODOLOGIA**

Trata-se de uma pesquisa fundamentalmente baseada em levantamento bibliográfico, e para tanto os materiais utilizados foram computador com acesso à internet, livros e periódicos da própria e de outras instituições. Foi utilizado os equipamentos do próprio aluno e da instituição.

A pesquisa iniciou com uma revisão geral da literatura sobre conversores analógicos-digitais, com ênfase na compreensão das operações e erros erados por conversores de menor complexidade. Em seguida, foi realizada uma busca por artigos publicados em revistas para definir as arquiteturas que estão em foco na produção de protótipos e componentes comerciais. Finalmente, após a coleta de dados de diversos trabalhos de conversores de alta velocidade em andamento ou concluídos, a fim de fornecer uma visão ampla das vantagens e desvantagens, foi realizado uma comparação entre os modelos selecionados.

## RESULTADOS E DISCUSSÃO

Três modelos experimentais e um modelo de comercial foram analisados. O modelo de 8-bit Flash ADC em CMOS de 180 nm de 2019 apresentou erros menores que 1 LSB com uma taxa de conversão de 900 MS/s e consumo médio de 42 mW. Além de atingir um número efetivo de 6,9 bit, os erros INL e DNL atingiram aproximadamente 0,9 bit e 0,03 bit, respectivamente. A taxa de conversão do Flash ADC feito em CMOS de 90 nm proposto em 2018 é de 650 MS / s, e os erros INL e DNL são 3,1 e 0,05 bits, respectivamente. O número efetivo de bits (ENOB) deste modelo é de 6,8 bits.

O modelo Flash ADC é baseado no *Remaining Number System* (RSN) publicado em 2017, fabricado em tecnologia CMOS de 65 nm e obteve um erro de menos de 1 LSB a uma taxa de amostragem de 2 GS / s. Os erros INL e DNL atingem 0,61 bits e 0,14 bits, e as taxas de ruído e distorção foram 40,7 dB e 6,5 bits e 6,5 bits ENOB. O modelo comercial de 2020 da empresa Texas Instruments utiliza a arquitetura *folding and interpolation*, com uma taxa de amostragem de 6,4 GS / s e baixo consumo de energia (aproximadamente 0,028 mW), apresentando um erro de menos de 1 LSB. O número de efetivo de bits atinge 7,8 bits e os erros INL e DNL atingem 0,3 bits e 0,15 bits, respectivamente.

**TABELA 1. Comparação de desempenho entre modelos de ADC de alta velocidade.**  
Fonte: BUDANOV, D.; KOROTKOV, A., 2019.

| Parâmetro           | 2019  | 2018  | 2017 | Texas<br>Intruments<br>ADC08DJ3200 |
|---------------------|-------|-------|------|------------------------------------|
| Arquitetura         | Flash | Flash | RNS  | Folding and<br>Interpolation       |
| Tecnologia, nm      | 180   | 90    | 65   | -                                  |
| Resolução, bit      | 8     | 8     | 8    | 8                                  |
| Energia, mW         | 42    | -     | 21   | 0,028                              |
| Desempenho,<br>GS/s | 0,9   | 0,65  | 2    | 6,4                                |
| INL, bit            | 0,9   | 3,1   | 0,61 | 0,3                                |
| DNL, bit            | 0,03  | 0,05  | 0,14 | 0,15                               |
| ENOB, bit           | 6,9   | 6,8   | 6,5  | 7,8                                |
| SNDR, dB            | -     | -     | 40,7 | -                                  |

## CONCLUSÕES

A implementação do conversor utilizando tecnologia CMOS mostrou baixa perda na resolução efetiva e nos erros de linearidade. O modelo de 2019 apresentou o menor erro DNL comparado aos outros, enquanto o número efetivo de bits se manteve muito próximo aos dos modelos de 2018 e 2017. O baixo valor DNL deve-se ao uso da matriz de comparadores redundantes, permitindo que os deslocamentos dos comparadores (offsets) diminuam e o circuito se torne mais simples.

A implementação do conversor utilizando tecnologia CMOS mostrou baixa perda na resolução efetiva e nos erros de linearidade. Em comparação com outros modelos experimentais, o modelo 2019 tem o menor erro DNL, enquanto o número efetivo de bits ainda está muito próximo dos modelos 2018 e 2017. O motivo para o valor DNL mais baixo é o uso da matriz de comparadores redundantes, que permite que os deslocamentos dos comparadores (offsets) diminuam e o circuito se torne mais simples.

O modelo de 2017 atingiu uma taxa de amostragem de 2GS/s, sendo aproximadamente o dobro dos modelos anteriores. A arquitetura RNS TD foi responsável por melhorar a eficiência energética e ampliar a largura de banda de resolução efetiva (ERBW). Além disso, os erros DNL e INL foram baixos e a resolução efetiva se manteve próxima ao dos outros modelos.

É possível notar que a distância física entre os transistores que compõem o CMOS é menor no modelo de 2017, isso implica em um consumo de energia menor que no protótipo de 2019. O conversor comercial ADC08DJ3200 é o modelo que apresenta o melhor desempenho em todos os parâmetros de análise, sua

arquitetura permite reduzir os componentes presentes no circuito garantindo maior taxa de amostragem e menor consumo de energia. Verifica-se que os conversores de alta velocidade atualmente no mercado estão alcançando excelente desempenho em relação aos parâmetros (como alto número efetivo de bits e taxa de amostragem) exigidos para um bom conversor.

Portanto, entre os conversores experimentais, o RNS Flash ADC obteve os melhores resultados em termos de taxa de amostragem e consumo de energia, enquanto o erro e a resolução ainda estão próximos de outros modelos. Porém, o custo de produção do protótipo é relativamente alto, sendo assim, o conversor deve ser selecionado de acordo com a necessidade do projeto, pois a arquitetura mais simples também apresenta bom desempenho durante o processo de conversão.

## REFERÊNCIAS

AZAÏS, Florence et al. Implementation of a linear histogram BIST for ADCs. In: **Proceedings Design, Automation and Test in Europe. Conference and Exhibition 2001**. IEEE, 2001. p. 590-595.

BUDANOV, D.; KOROTKOV, A. A design of flash analog-to-digital converter in 180 nm CMOS process with high effective number of bits. In: **Journal of Physics: Conference Series**. IOP Publishing, 2019. p. 012072.

BUDANOV, D. O.; MOROZOV, D. V.; PILIPKO, M. M. An 8-bit Analog-to-Digital Converter with a Novel Encoder using 90 nm CMOS. In: **2018 IEEE International Conference on Electrical Engineering and Photonics (EExPolytech)**. IEEE, 2018. p. 56-59.

FLORES, M. da G. C. C. **Teste embarcado de conversores analógico-digitais**. 2003. Dissertação (mestrado). Universidade Federal do Rio Grande do Sul.

HIREMATH, V.; REN, S. A 6-bit low power folding and interpolating ADC. In: **2011 IEEE International Instrumentation and Measurement Technology Conference**. IEEE, 2011. p. 1-6.

MONTEIRO, P. R. B. **Corretor para não linearidade diferencial em conversores analógico digitais de aproximações sucessivas**. 1983. Dissertação (Mestrado), IPEN, São Paulo, 1983.

MURSHED, A. M. et al. A 10-bit high speed pipelined ADC. In: **2018 2nd International Conference on Inventive Systems and Control (ICISC)**. IEEE, 2018. p. 1253-1258.

OKUNO, Keisuke et al. An 800-MHz 8-bit high speed SAR ADC in 16nm FinFET process. In: **2017 IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK)**. IEEE, 2017. p. 24-25.

TOCCI, R. J.; WIDMER, N. S.; MOSS, G. L. **Sistemas digitais: Princípios e aplicações**. 11. ed. São Paulo : Pearson Prentice Hall, 2011.

ZHU, Shuang et al. A 2-GS/s 8-bit non-interleaved time-domain flash ADC based on remainder number system in 65-nm CMOS. **IEEE Journal of Solid-State Circuits**, v. 53, n. 4, p. 1172-1183, 2017.

ZIESEMER JUNIOR, A. M. **Síntese automática do leiaute de redes de transistores**. 2014. Tese (Doutorado em Microeletrônica) - Instituto de informática, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2014.