



VI Encontro de Iniciação Científica e Tecnológica
VI EnICT
ISSN: 2526-6772
IFSP – Câmpus Araraquara
21 e 22 de outubro de 2021



ELABORAÇÃO DE UM CONVERSOR ANALÓGICO-DIGITAL DE ALTA VELOCIDADE TIPO *FOLDING* COM INTERPOLAÇÃO

GABRIELA ROSSINI¹, JOÃO R. BROGGIO²

¹ Graduanda em Engenharia Elétrica, IFSP – Câmpus Votuporanga, gabriela.rossini@aluno.ifsp.edu.br

² Mestre em Bioengenharia pela Universidade Brasil, professor no curso de Engenharia Elétrica, IFSP – Câmpus Votuporanga, jrbroggio@ifsp.edu.br

Área de conhecimento (Tabela CNPq): Circuitos eletrônicos – 3.004.03.03-0

RESUMO: A necessidade de interpretar variáveis físicas como a temperatura e pressão, inspirou o desenvolvimento de tecnologias capazes de realizar a conversão do âmbito analógico para o digital. Os dispositivos que realizam essa conversão são conhecidos como conversores analógico-digitais, sendo essenciais para o campo de processamento de sinais e comunicação e empregados em diversos equipamentos como osciloscópios, radares e satélites. Logo, para tornar a conversão de dados cada vez mais eficiente, a pesquisa de novos modelos de conversores é um campo muito promissor. Em conversores de alta velocidade, a tecnologia *folding* e interpolação é uma alternativa à tecnologia *Flash*, na qual os componentes são reduzidos para aumentar a velocidade de conversão. Este resumo expandido descreve um conversor A/D de 6 bits tipo *folding* e interpolação de alta velocidade simulado em software livre, o *LTspice*. No estágio atual do estudo, o circuito apresentou ativação correta, resultando na amplitude de conversão dos 3 bits mais significativos e bits auxiliares de aproximadamente 560mV.

PALAVRAS-CHAVE: amplificador; comparadores; conversor; encoder; flash; par diferencial.

INTRODUÇÃO

Com o avanço da tecnologia, as arquiteturas conhecidas de ADC tornaram-se insuficiente devido à sua baixa precisão e velocidade de conversão. Assim, devido à demanda do mercado, as arquiteturas de ADCs se tornaram mais avançadas. As topologias mais comuns são *Flash*, aproximação sucessiva, pipeline e sigma-delta, todos os quais requerem uma ou mais etapas de comparação entre o sinal de entrada e a referência (AHMAD, 2012, p. 715- 720). Dentre essas topologias, a *Flash* tem a melhor velocidade de conversão, entretanto, conforme a resolução aumenta, o número de comparadores aumenta exponencialmente, consumindo mais energia (NAUTA, 1995, p. 1302-1308, 1995).

Para resolver este problema, variantes do conversor *Flash* são selecionadas para aplicações que requerem conversão rápida e resolução média (AHMAD, 2012, p. 715-720). A tecnologia de conversão *folding* e interpolação é uma dessas variantes, amplamente utilizada em unidades de disco rígido, interfaces locais e circuitos de comunicação (FLYNN, 1998, p. 1932-1938).

Comparado com o *Flash* ADC, a tecnologia *folding* reduz o número de comparadores e mantém a alta velocidade de conversão, mas algumas informações são perdidas e devem ser restauradas para obter o bit menos significativo (LIU, 2001, p. 122-128). Essa recuperação é realizada pela interpolação, somando dois sinais de saída do *folding encoder*, considerando a amplitude e a fase do sinal de saída para obter o sinal final (MARTINS, 1999).

A pesquisa propõe um conversor A/D tipo *folding* e interpolação de 6 bits, onde a determinação da resolução leva em consideração o aumento de complexidade do circuito para maiores resoluções.

FUNDAMENTAÇÃO TEÓRICA

Conversor analógico-digital *foldings* e interpolação (FIADC) têm sido amplamente usados em aplicações que requerem alta resolução e velocidade, como sistemas de comunicação. Esta topologia de conversor pode ser contextualizada através de uma comparação, pois as principais vantagens do FIADC são aumentar a velocidade e reduzir o número de comparadores presentes no conversor tipo *Flash* (LIU, 2001, p. 122-128).

Os conversores tipo *Flash* têm um comparador para cada tensão de referência, mas quando aplicado a entrada analógica, apenas alguns comparadores produzirão informações úteis na conversão (MARTINS, 1996). A fim de reduzir o número de comparadores, a redundância da topologia pode ser usada para recombinar as saídas. Essa recombinação de saídas do amplificador é chamada de *folder* (FLYNN, 1998, p. 1932-1938).

Na estrutura geral do FIADC, considerando um conversor de 6 bits, a conversão é dividida em dois processos distintos (MIKHEEV, 2018, p. 1401-1403). Onde 3 bits são gerados diretamente pelo amplificador *foldings* mais o *foldings encoder* e os bits restantes são gerados pela técnica de interpolação dos valores obtidos anteriormente (AHMAD, 2012, p. 715-720).

A primeira parte consiste em vários pré-amplificadores que juntos constituem o amplificador *foldings*. Para um conversor de 3 bits, será preciso 8 pares de amplificadores diferenciais (PD), cada um dos quais com duas entradas, uma para o sinal de entrada analógico e outra para a tensão de referência (AHMAD, 2012, p. 715-720).

A operação é baseada na comparação dessas duas tensões, de forma que a tensão de referência do primeiro par diferencial, PD_1 , é menor que a tensão do PD_2 . Portanto, quando o sinal de entrada fica maior do que $V_{ref 1}$ a saída do PD_1 vai para nível alto. Quando a tensão de entrada ultrapassa a $V_{ref 2}$, que é maior do que $V_{ref 1}$, a saída do PD_1 vai para nível baixo. É através dessa diferença entre as tensões que é definido a faixa de saída dos pares diferenciais (MARTINS, 1996).

Os sinais gerados pelo amplificador *foldings* são combinados para obter um bit digital na saída e este trabalho é realizado pelo "*foldings encoder*", onde combina as saídas dos PDs por meio da adição dos sinais do mesmo (MARTINS, 1996). O resultado de saída desta etapa do circuito é os 3 bits mais significativos (MSB, 2-SB e 3-SB) e o bit auxiliar (4-A).

Por fim, para obter os bits restantes, é utilizada a técnica de interpolação. A interpolação resistiva é a soma vetorial entre dois sinais de saída do *foldings encoder* dividido por 2, onde a amplitude e a fase desses sinais são consideradas para obter um vetor composto de amplitude e fase única (MARTINS, 1996). No entanto, apenas essa combinação obtida por meio de uma rede de resistores acabará por levar a uma série questões, como acréscimo no atraso do sinal de propagação e capacitâncias parasitas. Para resolver isto, é realizada a interpolação diferencial através da soma das saídas de dois PDs adjacentes (AHMAD, 2012, p. 715-720).

METODOLOGIA

Trata-se de uma pesquisa experimental onde manipula-se diretamente as variáveis relacionadas ao objeto de pesquisa, e para tanto os materiais utilizados foram computador com acesso à internet, softwares de simulação de circuitos, livros e periódicos da própria e de outras instituições.

O desenvolvimento de circuitos integrados geralmente requer métodos com diferentes níveis de abstração. Segundo Geiger (1990), duas abordagens são viáveis. A primeira é uma abordagem "de baixo para cima" (*bottom-up*), onde os projetistas começam no nível do transistor e adicionam subcircuitos e os interconectam para atingir as funções desejadas. A segunda é uma abordagem "de cima para baixo" (*top-down*), onde o projetista decompõe os circuitos em grupos e subgrupos de tarefas com menor complexidade (GEIGER et al, 1990).

O projeto adota a metodologia "de cima para baixo". O estudo primeiro conduz uma revisão bibliográfica de conversores analógico-digitais de alta velocidade tipo de *foldings* e interpolação, por meio de livros e periódicos, para compreender o funcionamento e os erros da topologia.

De acordo com a metodologia selecionada, após revisão, iniciou o desenvolvimento do grupo de circuitos da arquitetura *foldings* e interpolação. Assim, foram definidos os parâmetros iniciais como números de bits e sinal analógico de entrada. Em seguida, foram desenvolvidos circuitos pertencentes ao grupo dos processos metodológicos, sendo o amplificador *foldings* com espelho de corrente, buffer e *foldings encoder*,

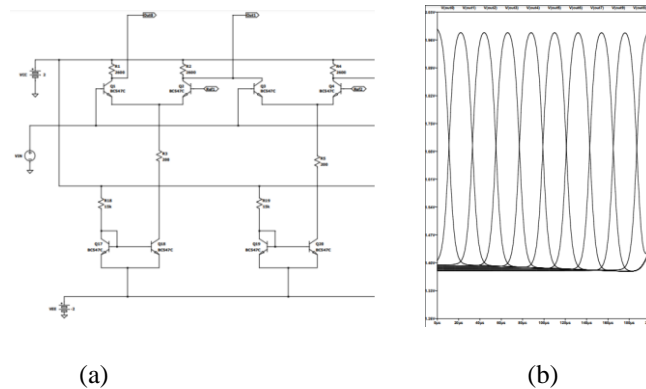
obtendo os 3 bits mais significativos. O desenvolvimento e teste dos circuitos foi realizado no software livre, LTspice.

RESULTADOS E DISCUSSÃO

É proposto por essa pesquisa é um conversor A/D *folding* e interpolação de 6 bits. A determinação da resolução leva em consideração o aumento de complexidade do circuito para maiores resoluções, então, 6 bits é suficiente para comprovar a topologia selecionada.

Desse modo, inicialmente é definido o sinal de entrada analógico que será utilizado na simulação, que é semelhante ao sinal gerado por um sensor de temperatura comum. Portanto, a tensão varia de 0 V (para uma temperatura de 0 ° C) a 2V (para uma temperatura de 100 ° C). A tensão de alimentação V_{CC} é de +2V, V_{EE} de -2V e a frequência de operação de 5 KHz. O circuito *folding* é responsável por converter diretamente os primeiros 3 bits do conversor, para os quais são necessários 8 PDs e a tensão de referência é obtida da rede de resistores de 50Ω.

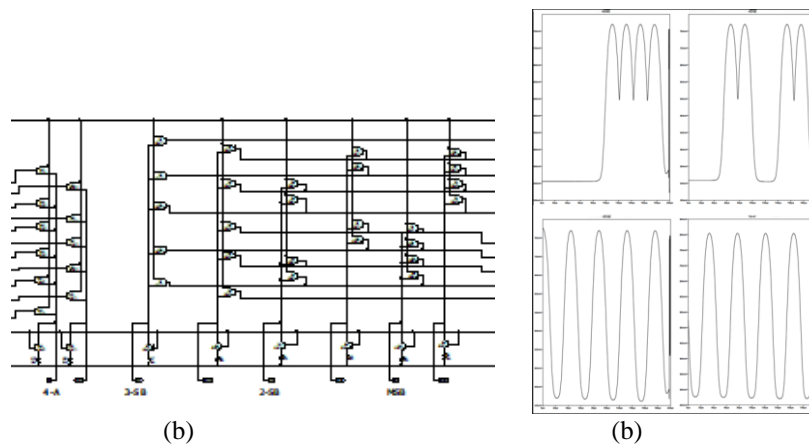
FIGURA 1. (a) Par diferencial (b) saída amplificador *folding* 1.



Fonte: Elaborada pelo autor.

Cada par diferencial possui 1 transistor conectado ao sinal de entrada, V_{in} , e o outro transistor conectado à tensão de referência correspondente, conforme mostrado na Figura 1 (a). Para garantir que o transistor seja polarizado corretamente, um circuito de espelho de corrente é adicionado, de forma que a operação seja semelhante à teoria. Para realizar a interpolação, é necessário gerar sinais defasados 90° entre os dois conjuntos de pares de amplificadores diferenciais. Para este fim, são necessários 9 PDs, um a mais que o amplificador *folding* 1 para gerar o sinal de interpolação auxiliar.

FIGURA 2. (a) *Folding* encoder (b) saída *folding* encoder.



Fonte: Elaborada pelo autor.

O controle da amplitude de saída é obtido pela variação da resistência no coletor do transistor, observa-se que a amplitude de saída foi de 575mV, conforme a Figura 1 (b). Por fim, o buffer irá realizar a separação e estabilização entre os dois grupos de amplificadores *folding* e o *folding encoder*, sendo este apresentado na Figura 2 (a).

As saídas do *folding encoder*, conforme apresentado na Figura 2 (b), é os 3 bits mais significativos, com amplitude de aproximadamente 560mV. O bit auxiliar, 4 – A, é necessário para a interpolação e provém do amplificador *folding 2* e segue o mesmo modelo do primeiro.

CONCLUSÕES

Para a atual fase da pesquisa, os resultados obtidos são satisfatórios, pois de acordo com a revisão da literatura, o circuito desenvolvido apresenta a forma de onda de saída esperada. Os bits mais significativos e o bit auxiliar foram gerados corretamente e têm a mesma amplitude. Até agora, como o número de comparadores usados para converter 3 bits foi reduzido, o objetivo inicial da pesquisa foi alcançado.

O circuito de amplificadores *folding* apresentou dificuldades a questões de alimentação e polarização dos transistores, pois manter o fluxo de corrente adequado é essencial para o funcionamento. Além das fontes de alimentação positiva e negativa do circuito, o uso do circuito espelho de corrente foi a melhor solução encontrada.

Conclui-se que este trabalho apresenta resultados satisfatórios para o campo de pesquisa e propõe um modo de polarização de transistores diferente, mas não único, de outros trabalhos revisados. A próxima etapa é desenvolver o circuito de interpolação para obter os bits menos significativos e testar o desempenho do conversor.

REFERÊNCIAS

- AHMAD, Wan Rosmaria Wan et al. **High speed with low power folding and interpolating ADC using two types of comparator in CMOS 0.18 um technology**. In: 2012 IEEE Symposium on Humanities, Science and Engineering Research. IEEE, 2012. p. 715-720.
- AZAÏS, Florence et al. **Implementation of a linear histogram BIST for ADCs**. In: Proceedings Design, Automation and Test in Europe. Conference and Exhibition 2001. IEEE, 2001. p. 590-595.
- FLORES, Maria da Glória Cataldi Couto. **Teste embarcado de conversores analógico digitais**. 2003. Dissertação de mestrado. Universidade Federal do Rio Grande do Sul.
- FLYNN, Michael P.; SHEAHAN, Ben. **A 400-Msample/s, 6-b CMOS folding and interpolating ADC**. IEEE Journal of Solid-State Circuits, v. 33, n. 12, p. 1932-1938, 1998
- GEIGER, R. L.; ALLEN, P. E.; STRADER, N. R. **VLSI Design Techniques for Analog and Digital Circuits**. New York: McGraw-Hill, 1990.
- LIU, Ming-Huang; LIU, Shen-Iuan. **An 8-bit 10 MS/s folding and interpolating ADC using the continuous-time auto-zero technique**. IEEE Journal of Solid-State Circuits, v. 36, n. 1, p. 122- 128, 2001.
- MARTINS, Evandro Mazina et al. **Projeto de um conversor analógico/digital ultra-rápido bipolar tipo folding com uma nova técnica de interpolação**. 1996.
- MIKHEEV, Roman; MALYGIN, Artem. **Formalization of folding and interpolating ADC architecture**. In: 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus). IEEE, 2018. p. 1401-1403.
- NAUTA, Bram; VENES, Ardie GW. **A 70-MS/s 110-mW 8-b CMOS folding and interpolating A/D converter**. IEEE Journal of Solid-State Circuits, v. 30, n. 12, p. 1302-1308, 1995.